

Docket No.: 60188-766

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Taiji NODA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: February 11, 2004	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE AND FABRICATION METHOD THEREFOR	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-056860, filed March 4, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: February 11, 2004

60188-766

T. NODA

February 11, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 3月 4日

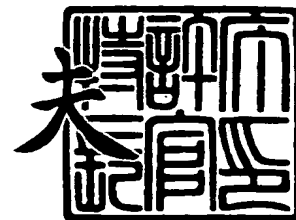
出 願 番 号
Application Number: 特願2003-056860
[ST. 10/C]: [JP2003-056860]

出 願 人
Applicant(s): 松下電器産業株式会社

2003年 9月16日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2003-3075909

【書類名】 特許願

【整理番号】 2926440256

【提出日】 平成15年 3月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社
 会社内

 【氏名】 野田 泰史

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

 【識別番号】 100109667

 【弁理士】

 【氏名又は名称】 内藤 浩樹

【手数料の表示】

 【予納台帳番号】 011305

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体領域上に、ゲート絶縁膜を介して形成されたゲート電極を形成する工程 (a) と、

前記ゲート電極をマスクとして前記半導体領域に、第 2 導電型の第 1 の不純物を注入して、エクステンション注入層を形成する工程 (b) と、

前記工程 (b) の後に、前記ゲート電極をマスクとして前記半導体領域に、フッ素を注入してフッ素注入層を形成する工程 (c) と、

前記工程 (c) の後に、前記半導体領域に第 1 の熱処理を行ない、前記第 1 の不純物が拡散してなる第 2 導電型の高濃度エクステンション拡散層を形成する工程 (d) と

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

前記工程 (c) におけるフッ素注入のドーズ量は、 $1 \times 10^{13} / \text{cm}^2$ 以上で、前記半導体領域がアモルファス化しないドーズ量であることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 記載の半導体装置の製造方法において、

前記工程 (c) におけるフッ素注入のドーズ量は、 $3 \times 10^{14} / \text{cm}^2$ 未満であることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1～3 のうちいずれか 1 項に記載の半導体装置の製造方法において、

前記工程 (c) におけるフッ素注入の注入飛程は、前記工程 (b) における第 1 の不純物注入の注入飛程と同等程度であることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1～4 のうちいずれか 1 項に記載の半導体装置の製造方法において、

前記工程 (b) は、前記ゲート電極をマスクとして前記半導体領域に、第 1 導電型の第 2 の不純物を注入して、ポケット注入層を形成する工程を含み、

前記工程（d）では、前記第 1 の熱処理により、前記高濃度エクステンション拡散層の下部に接して、前記第 2 の不純物が拡散してなる第 1 導電型のポケット拡散層を形成することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 ～ 5 のうちいずれか 1 項に記載の半導体装置の製造方法において、

前記工程（d）の後に、

前記ゲート電極の側面上に絶縁膜からなるサイドウォールを形成する工程（e）と、

前記ゲート電極及びサイドウォールをマスクとして、前記半導体領域に第 2 導電型の第 3 の不純物を注入して、高濃度ソース・ドレイン注入層を形成する工程（f）と、

前記工程（f）の後に、前記半導体領域に第 2 の熱処理を行ない、前記サイドウォールの側方下に前記第 3 の不純物が拡散してなる第 2 導電型の高濃度ソース・ドレイン拡散層を形成する工程（g）と

をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 ～ 6 のうちいずれか 1 項に記載の半導体装置の製造方法において、

前記工程（d）では、前記フッ素注入層のフッ素が点欠陥と相互作用して拡散し、前記半導体領域に導入されている過剰点欠陥を除去することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 ～ 7 のうちいずれか 1 項に記載の半導体装置の製造方法において、

前記工程（c）の後で前記工程（d）の前に、極低温熱処理によって、前記エクステンション注入層の前記第 1 の不純物を実質的に拡散させずに、前記第 1 の不純物注入及び前記フッ素注入によって生じた前記半導体領域の結晶ダメージのみを回復させる工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 記載の半導体装置の製造方法において、

前記極低温熱処理は、加熱温度が 4 0 0 ℃～6 0 0 ℃であることを特徴とする

半導体装置の製造方法。

【請求項 10】 請求項 1～9 のうちいずれか 1 項に記載の半導体装置の製造方法において、

前記工程 (d) における第 1 の熱処理は、昇温レートを約 100℃/秒以上、降温レートが約 80℃/秒以上とし、加熱温度を約 850℃～1050℃とし、該加熱時間を最大で約 10 秒間保持するか、又はピーク温度を保持しない急速熱処理であることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 1～10 のうちいずれか 1 項に記載の半導体装置の製造方法において、

前記工程 (b) における第 1 の不純物は、ボロンまたはフッ化ボロン、あるいは、インジウムであることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 1～10 のうちいずれか 1 項に記載の半導体装置の製造方法において、

前記工程 (b) における第 1 の不純物は、ヒ素であることを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 12 記載の半導体装置の製造方法において、

前記工程 (d) における第 1 の熱処理時には、前記半導体領域の上部に形成された原子空孔をフッ素が捕獲した状態で、前記エクステンション注入層の第 1 の不純物が拡散することを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 1～13 のうちいずれか 1 項に記載の半導体装置の製造方法において、

前記工程 (b) における前記第 1 の不純物注入のドーズ量は、前記半導体領域がアモルファス化しないドーズ量であり、

前記工程 (b) の第 1 の不純物注入と前記工程 (c) のフッ素注入と前記工程 (d) の第 1 の熱処理を一連の処理工程として、前記一連の処理工程を複数回繰り返すことによって、所定の不純物濃度を有する前記高濃度エクステンション拡散層を形成することを特徴とする半導体装置の製造方法。

【請求項 15】 第 1 導電型の半導体領域上に、ゲート絶縁膜を介して形成されたゲート電極と、

前記半導体領域における前記ゲート電極の側方に形成された第2導電型の高濃度エクステンション拡散層とを備え、

前記高濃度エクステンション拡散層は、フッ素を含有しており、且つ、残留欠陥を含まない結晶層であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に微細化を達成できると共に、接合深さが浅く、且つ低抵抗な拡散層を有し、高速で動作可能な半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体集積回路の高集積化に伴って、MIS型トランジスタの微細化が要請されており、その実現のためには、接合深さが浅く、且つ低抵抗な高濃度エクステンション拡散層を持つMIS型トランジスタが求められている。

【0003】

以下、従来の半導体装置の製造方法について図面を参照しながら説明する（例えば、特許文献1参照）。

【0004】

図9（a）～図9（e）は、従来の半導体装置の製造工程を示す断面図である。

【0005】

まず、図9（a）に示す工程で、P型の半導体基板200に、N型の不純物であるヒ素（As）イオン及びリン（P）イオンをイオン注入する。その後、熱処理を行なうことにより、半導体基板200の表面部にヒ素を不純物とするN型チャンネル拡散層203、及び、N型チャンネル拡散層203の下部にリンを不純物とするNウェル層204を形成する。

【0006】

次に、図9（b）に示す工程で、半導体基板200上にシリコン酸化膜及び多

結晶シリコン膜を順次形成した後、フォトリソグラフィー及びドライエッチングによってシリコン酸化膜及び多結晶シリコン膜をパターンニングして、ゲート酸化膜 201 及びゲート電極 202 を形成する。

【0007】

次に、図 9 (c) に示す工程で、ゲート電極 202 をマスクにして、半導体基板 200 に N 型不純物である As イオンを注入して、N 型ポケット注入層 207 A を形成する。続けて、ゲート電極 202 をマスクにして、半導体基板 200 に P 型不純物である B イオンを注入して、P 型エクステンション注入層 206 A を形成する。

【0008】

次に、図 9 (d) に示す工程で、半導体基板 200 上の全面にシリコン窒化膜を堆積した後、異方性エッチングによりシリコン窒化膜をエッチングして、ゲート電極 202 の側面上にサイドウォール 208 を形成する。

【0009】

次に、図 9 (e) に示す工程で、ゲート電極 202 及びサイドウォール 208 をマスクにして、半導体基板 200 に P 型不純物である BF_2 イオンをイオン注入して高濃度ソース・ドレイン注入層を形成する。その後、高温短時間熱処理を行なうことにより、P 型高濃度ソース・ドレイン拡散層 205、P 型エクステンション拡散層 206、及び、N 型ポケット拡散層 207 を形成する。

【0010】

【特許文献 1】

特開 2002-76136 号公報

【0011】

【発明が解決しようとする課題】

上記のような従来の半導体装置の製造方法では、P 型エクステンション拡散層 206 の形成工程において、P 型エクステンション注入層 206 A を形成するためのボロン注入の注入エネルギーを低エネルギー化することにより浅い接合を形成しようとする傾向にある。

【0012】

しかしながら、半導体基板 200 に対して、低エネルギーで、高ドーズ量の注入条件でボロン注入して、注入深さの浅い P 型エクステンション注入層 206A を形成しても、その後の高温短時間熱処理によってボロンの過渡増速拡散 (Transient enhanced diffusion: 以下 TED と称す) が起こり、ボロンが深く拡散してしまい、所望の不純物プロファイルを有する P 型エクステンション拡散層 206 を形成することができないという問題がある。ここで、TED とは、不純物原子が半導体基板中に存在する過剰点欠陥 (格子間シリコン、原子空孔) と相互作用して、増速された異常拡散現象のことを意味する。また、過剰点欠陥は、主にイオン注入の注入ダメージにより導入される事が多い。

【0013】

従って、従来の半導体装置の製造方法では、より浅い接合を得るために、イオン注入の注入エネルギーを低く下げても、注入したドーパントの TED が大きくなり、単一元素の低エネルギー注入のみでは、浅い接合で低抵抗なエクステンション拡散層を有する M I S 型トランジスタを形成することは困難であった。

【0014】

本発明の目的は、高濃度エクステンション拡散層の浅接合化、及び、低抵抗化が図れる半導体装置及びその製造方法を提供することである。

【0015】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、上記目的を達成するために、高濃度エクステンション拡散層形成用の不純物注入直後に、フッ素注入を行ない、不純物の拡散を増速する格子間シリコンとフッ素とを反応させ、不純物拡散を増速することができる格子間シリコン量を減少させることにより、浅接合でかつ低抵抗な高濃度エクステンション拡散層を形成する構成を有している。

【0016】

具体的に、本発明に係る半導体装置の製造方法は、第 1 導電型の半導体領域上に、ゲート絶縁膜を介して形成されたゲート電極を形成する工程 (a) と、前記ゲート電極をマスクとして前記半導体領域に、第 2 導電型の第 1 の不純物を注入して、エクステンション注入層を形成する工程 (b) と、前記工程 (b) の後に

、前記ゲート電極をマスクとして前記半導体領域に、フッ素を注入してフッ素注入層を形成する工程（c）と、前記工程（c）の後に、前記半導体領域に第1の熱処理を行ない、前記第1の不純物が拡散してなる第2導電型の高濃度エクステンション拡散層を形成する工程（d）とを有する。

【0017】

すなわち、半導体領域上に、ゲート絶縁膜を介して形成されたゲート電極をマスクとして、第1の不純物注入によってエクステンション注入層を形成した後に、フッ素注入によってフッ素注入層を形成し、その後エクステンション注入層の第1の不純物を活性化するための第1の熱処理を行なうことを特徴とするものである。

【0018】

この構成によれば、フッ素注入層のフッ素は、第1の熱処理時に不純物の過渡増速拡散を引き起こす点欠陥と反応して素早く拡散するので、不純物と相互作用する過剰点欠陥量が減少され、不純物の過渡増速拡散の抑制が実現される。よって、浅い接合を有するエクステンション拡散層が実現可能になる。同時に、不純物がボロンの場合、格子間シリコンとボロンが反応してボロン－格子間シリコンクラスタを形成して不活性化することがすでに知られているが、点欠陥が減少することにより、ボロン－格子間シリコンクラスタの生成も抑制され、ボロンの不活性化を同時に抑制することができる。これにより、浅く、尚且つ低抵抗な高濃度エクステンション拡散層を実現することができる。

【0019】

上記半導体装置の製造方法において、前記工程（c）におけるフッ素注入のドーズ量は、 $1 \times 10^{13} / \text{cm}^2$ 以上で、前記半導体領域がアモルファス化しないドーズ量である。このとき、前記工程（c）におけるフッ素注入のドーズ量は、 $3 \times 10^{14} / \text{cm}^2$ 未満であることが好ましい。

【0020】

上記半導体装置の製造方法において、前記工程（c）におけるフッ素注入の注入飛程は、前記工程（b）における第1の不純物注入の注入飛程と同等程度である。

【0021】

上記半導体装置の製造方法において、前記工程（b）は、前記ゲート電極をマスクとして前記半導体領域に、第1導電型の第2の不純物を注入して、ポケット注入層を形成する工程を含み、前記工程（d）では、前記第1の熱処理により、前記高濃度エクステンション拡散層の下部に接して、前記第2の不純物が拡散してなる第1導電型のポケット拡散層を形成する。

【0022】

上記半導体装置の製造方法において、前記工程（d）の後に、前記ゲート電極の側面上に絶縁膜からなるサイドウォールを形成する工程（e）と、前記ゲート電極及びサイドウォールをマスクとして、前記半導体領域に第2導電型の第3の不純物を注入して、高濃度ソース・ドレイン注入層を形成する工程（f）と、前記工程（f）の後に、前記半導体領域に第2の熱処理を行ない、前記サイドウォールの側方下に前記第3の不純物が拡散してなる第2導電型の高濃度ソース・ドレイン拡散層を形成する工程（g）とをさらに備えている。

【0023】

上記半導体装置の製造方法において、前記工程（d）では、前記フッ素注入層のフッ素が点欠陥と相互作用して拡散し、前記半導体領域に導入されている過剰点欠陥を除去することができる。

【0024】

上記半導体装置の製造方法において、前記工程（c）の後で前記工程（d）の前に、極低温熱処理によって、前記エクステンション注入層の前記第1の不純物を実質的に拡散させずに、前記第1の不純物注入及び前記フッ素注入によって生じた前記半導体領域の結晶ダメージのみを回復させる工程をさらに備えている。

【0025】

上記半導体装置の製造方法において、前記極低温熱処理は、加熱温度が400℃～600℃である。

【0026】

上記半導体装置の製造方法において、前記工程（d）における第1の熱処理は、昇温レートを約100℃/秒以上、降温レートが約80℃/秒以上とし、加熱

温度を約 850℃～1050℃とし、該加熱時間を最大で約 10 秒間保持するか、又はピーク温度を保持しない急速熱処理である。

【0027】

上記半導体装置の製造方法において、前記工程（b）における第 1 の不純物は、ボロンまたはフッ化ボロン、あるいは、インジウムである。

【0028】

上記半導体装置の製造方法において、前記工程（b）における第 1 の不純物は、ヒ素である。

【0029】

上記半導体装置の製造方法において、前記工程（d）における第 1 の熱処理時には、前記半導体領域の上部に形成された原子空孔をフッ素が捕獲した状態で、前記エクステンション注入層の第 1 の不純物が拡散する。

【0030】

上記半導体装置の製造方法において、前記工程（b）における前記第 1 の不純物注入のドーズ量は、前記半導体領域がアモルファス化しないドーズ量であり、前記工程（b）の第 1 の不純物注入と前記工程（c）のフッ素注入と前記工程（d）の第 1 の熱処理を一連の処理工程として、前記一連の処理工程を複数回繰り返すことによって、所定の不純物濃度を有する前記高濃度エクステンション拡散層を形成する。

【0031】

本発明の半導体装置は、第 1 導電型の半導体領域上に、ゲート絶縁膜を介して形成されたゲート電極と、前記半導体領域における前記ゲート電極の側方に形成された第 2 導電型の高濃度エクステンション拡散層とを備え、前記高濃度エクステンション拡散層は、フッ素を含有しており、且つ、残留欠陥を含まない結晶層である。

【0032】

【発明の実施の形態】

（第 1 の実施形態）

本発明の第 1 の実施形態について図面を参照しながら説明する。

【0033】

図1(a)～図1(d)及び図2(a)～図2(d)は、本発明の第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【0034】

まず、図1(a)に示す工程で、P型シリコンからなる半導体基板100のチャネル形成領域に、N型の不純物であるヒ素(As)イオンを、注入エネルギーが140keVで、注入ドーズ量が $5 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してN型チャネル注入層103Aを形成する。その後、半導体基板100のN型ウェル形成領域に、N型の不純物であるリン(P)イオンを、注入エネルギーが260keVで、注入ドーズ量が $4 \times 10^{12}/\text{cm}^2$ の第1の注入条件、及び、注入エネルギーが540keVで、注入ドーズ量が $1 \times 10^{13}/\text{cm}^2$ の第2の注入条件で2回イオン注入してN型ウェル注入層(図示せず)を形成する。

【0035】

次に、図1(b)に示す工程で、N型チャネル注入層103A及びN型ウェル注入層を形成した直後に、半導体基板100を、約100℃/秒以上、好ましくは約200℃/秒の昇温レートで且つ850℃～1050℃程度にまで昇温し、ピーク温度を最大で10秒間程度保持するか又はピーク温度を保持しない第1の急速熱処理(RTA)を行なう。この第1の急速熱処理により、半導体基板100の表面部に、N型チャネル注入層103Aのヒ素が拡散してなるN型チャネル拡散層103が形成され、N型チャネル拡散層103の下部に接してN型ウェル注入層のリンが拡散してなるN型ウェル拡散層104が形成される。なお、ピーク温度を保持しない急速熱処理とは、熱処理温度がピーク温度に達すると同時に降温することをいう。

【0036】

次に、図1(c)に示す工程で、半導体基板100上に、厚さ1.5nm程度のシリコン酸化膜、及び、厚さ150nm程度の多結晶シリコン膜を順次形成する。その後、フォトリソグラフィ及びドライエッチングによってシリコン酸化膜及び多結晶シリコン膜をパターニングして、ゲート絶縁膜101及びゲート電極102を形成する。ここで、ゲート絶縁膜としてシリコン酸化膜を用いたが、

シリコン酸窒化膜 (SiON 膜)、あるいは、ハフニウム酸化膜 (HfO_x) などの高誘電体絶縁膜 (high-k 膜) を用いてもよい。また、ゲート電極として多結晶シリコン膜を用いたが、ポリメタル膜を用いてもよい。

【0037】

次に、図 1 (d) に示す工程で、ゲート電極 102 をマスクとして半導体基板 100 に、P 型不純物であるボロン (B) イオンを、注入エネルギーが 1 keV で、注入ドーズ量が $3 \times 10^{14} / \text{cm}^2$ の注入条件でイオン注入して、P 型エクステンション注入層 106A を形成する。また、この工程において、ゲート電極 102 をマスクとして半導体基板 100 に、N 型不純物であるヒ素 (As) イオンを、注入エネルギーが 130 keV で、注入ドーズ量が $4 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、P 型エクステンション注入層 106A の下部に N 型ポケット不純物注入層 107A を形成する。このとき、P 型エクステンション注入層 106A 及び N 型ポケット不純物注入層 107A は、N 型チャネル拡散層 103 よりも注入層の深さを浅く形成することが好ましい。

【0038】

次に、図 2 (a) に示す工程で、ゲート電極 102 をマスクとして半導体基板 100 に、注入エネルギーが 2 keV で、注入ドーズ量が $5 \times 10^{13} / \text{cm}^2$ の注入条件でフッ素をイオン注入して、フッ素注入層 109 を形成する。このとき、フッ素注入のドーズ量は、 $1 \times 10^{13} / \text{cm}^2$ 以上で半導体基板がアモルファス化しないドーズ量以下とし、好ましくは $3 \times 10^{14} / \text{cm}^2$ 未満とする。さらに、フッ素注入の注入飛程は、エクステンション注入層を形成するボロン注入の注入飛程の 5 倍未満とし、好ましくはボロン注入の注入飛程と同程度になる注入エネルギーで注入する。

【0039】

次に、図 2 (b) に示す工程で、半導体基板 100 に対して、約 100℃/秒以上、好ましくは約 200℃/秒の昇温レートで且つ 850℃～1050℃程度にまで昇温し、ピーク温度を最大で 10 秒間程度保持するか又はピーク温度を保持しないで約 80℃/秒の降温レートで降温する第 2 の急速熱処理を行なう。この第 2 の急速熱処理により、半導体基板 100 におけるゲート電極 102 の側方

の領域に、P型エクステンション注入層 106A に含まれるボロンイオンが拡散してなる浅い接合面を持つP型高濃度エクステンション拡散層 106、及び、P型高濃度エクステンション拡散層 106 の下部に接してN型ポケット注入層 107A に含まれるヒ素イオンが拡散してなるN型ポケット拡散層 107 が形成される。

【0040】

次に、図 2 (c) に示す工程で、例えばCVD法により、半導体基板 100 上にゲート電極 102 を含む全面にわたって厚さ約 50 nm のシリコン窒化膜を堆積する。続いて、堆積したシリコン窒化膜に対して異方性エッチングを行なうことにより、ゲート電極 102 の側面上にシリコン窒化膜からなるサイドウォール 108 を形成する。ここで、サイドウォール 108 には、シリコン窒化膜に代えてシリコン酸化膜、シリコン酸窒化膜を用いてもよく、さらには、シリコン窒化膜、シリコン酸化膜、シリコン酸窒化膜のうちの少なくとも 2 つの膜からなる積層膜を用いてもよい。

【0041】

次に、図 2 (d) に示す工程で、ゲート電極 102 及びサイドウォール 108 をマスクとして、半導体基板 100 にP型不純物であるボロンを、注入エネルギーが 10 keV で、注入ドーズ量が $3 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入する。その後、半導体基板 100 に対して、約 200℃/秒～250℃/秒の昇温レートで且つ 850℃～1050℃程度にまで昇温し、ピーク温度を最大で 10 秒間程度保持するか又はピーク温度を保持しない第 3 の急速熱処理を行なう。この第 3 の急速熱処理により、半導体基板 100 におけるサイドウォール 108 の側方の領域に、P型高濃度エクステンション拡散層 106 と接続され、且つP型高濃度エクステンション拡散層 106 よりも深い接合面を持つ、高濃度ソース・ドレイン注入層のボロンイオンが拡散してなるP型高濃度ソース・ドレイン拡散層 105 を形成する。このP型高濃度ソース・ドレイン拡散層 105 は、N型ポケット拡散層 107 よりも接合深さを深く形成する。これにより、サイドウォール 108 下のみに、P型高濃度エクステンション拡散層 106 及びN型ポケット拡散層 107 が形成される。

【0042】

この第1の実施形態による半導体装置の製造方法では、P型エクステンション注入層106Aのイオン注入を低エネルギーで行なった後、フッ素注入層109のイオン注入を半導体基板がアモルファス化しない程度の低いドーズ量で行ない、その後第2の急速熱処理によってP型エクステンション注入層106Aのボロンの活性化を行なう。

【0043】

本発明者は、ボロン拡散に与えるフッ素の影響を調べ、ボロンのTEDを抑制するのに最適なフッ素の注入条件があることを見出したので、図3を用いて説明する。

【0044】

図3(a)は、ボロンの接合深さのアニール時間に対する変化を示す図である。同図において、実線はフッ素注入せずボロン注入のみ行なって熱処理を加えた場合の接合深さの変化を示している。また、点線はボロン注入層に、基板がアモルファス化する程度の高ドーズ量のフッ素注入して熱処理を加えた場合の接合深さの変化を示している。また、一点鎖線はボロン注入層に、基板がアモルファス化しない程度の低ドーズ量のフッ素注入して熱処理を加えた場合の接合深さの変化を示している。

【0045】

図3(a)に示すように、フッ素のドーズ量が少なく基板がアモルファス化していない低ドーズフッ素注入の場合には、ボロンの拡散は、フッ素が存在しない場合よりも抑制される。しかしながら、フッ素ドーズ量が多くなり、基板がアモルファス化する高ドーズフッ素注入の場合には、ボロンの拡散は、フッ素を注入しない場合よりも深く拡散してしまう。そこで、本発明では、ボロンの拡散が抑制される範囲、すなわち半導体基板がアモルファス化しない程度のドーズ量でフッ素を注入することを特徴とするものである。このフッ素注入によって、P型高濃度エクステンション拡散層106形成のための熱処理時に、ボロンのTEDが抑制され、接合深さが深く広がることがないので、P型高濃度エクステンション拡散層106の接合深さを浅く形成することができる。同時に、半導体基板の表

面方向への拡散も抑制されるので、ボロンのドーズロスが抑制されるので、P型高濃度エクステンション拡散層 106 の低抵抗化を図ることができる。

【0046】

図3(b)は、半導体基板中のボロンの面密度のアニール時間に対する変化を示す図である。同図において、実線はフッ素注入なし、点線は高ドーズフッ素注入、一点鎖線は低ドーズフッ素注入において熱処理を行なった場合のボロン密度の変化を示している。

【0047】

図3(b)に示すように、基板にフッ素注入することで、ボロンのドーズロスが大きくなるが、フッ素のドーズ量を、例えば $1 \times 10^{14} / \text{cm}^2$ 以下に下げることにより、ボロンのドーズロスの増大を抑制することができる。従って、ボロンのアニール時のドーズロスが抑制されるので、エクステンション注入層のドーズ量を必要以上に高くすることなしに、低抵抗で接合深さの浅いエクステンション拡散層を形成することができる。

【0048】

フッ素注入層のフッ素は、熱処理を行なうと素早くシリコン表面の方向へ拡散して基板から抜けてしまうことから、フッ素注入は、ボロンと注入飛程を同等にするか、もしくは、ボロンより少し深めに注入することが好ましい。

【0049】

また、フッ素注入は、低エネルギーのボロン注入によってエクステンション注入層を形成した後に行なうので、ボロンの不純物プロファイルは、フッ素注入による影響を受けることなしに、不純物プロファイルの設計が可能になる。

【0050】

一方、ボロンとフッ素を分けて注入する代わりに、 BF_2 注入を用いてボロンとフッ素を同時に注入する方法も考えられるが、 BF_2 注入を用いると、フッ素は常にボロンの2倍のドーズ量に固定されて注入されることになる。従って、エクステンション拡散層形成程度の高ドーズ量で BF_2 注入を用いると、高濃度のフッ素が注入されてしまい、半導体基板がアモルファス化されるので、ボロン拡散の抑制効果を得ることができない。

【0051】

以上のことから、上記条件を満たすフッ素注入を行なうことにより、ボロンのTEDによる異常拡散を抑制することができるため、不純物プロファイルが急峻で浅い接合を有し、且つ、ドーズロスによる抵抗値の増大を抑制した低抵抗な高濃度エクステンション拡散層106を有するMIS型トランジスタを確実に形成することができる。従って、高駆動力を有した微細なMIS型トランジスタを備えた半導体装置を形成することができる。

【0052】

しかも、MIS型トランジスタの高濃度ソース・ドレイン拡散層105内には、フッ素が含まれており、また、この領域には、end of range (EOR) 欠陥などの残留欠陥層は含まれない結晶層になっているので、残留欠陥層に起因した接合リークの発生を抑制することができる。ここで、EOR欠陥とは、半導体基板がアモルファス化した状態で熱処理を加えられると、イオン注入直後に形成されるアモルファス・クリスタル界面の深さ（位置）付近に形成される欠陥層のことを意味する。

【0053】

従って、接合リークの低減化が図れ、且つ、高駆動力を有した微細なMIS型トランジスタを備えた半導体装置を形成することができる。

【0054】

（第2の実施形態）

本発明の第2の実施形態について図面を参照しながら説明する。

【0055】

図4（a）～図4（e）及び図5（a）～図5（d）は、本発明の第2の実施形態に係る半導体装置の製造工程を示す断面図である。

【0056】

まず、図4（a）に示す工程で、P型シリコンからなる半導体基板100のチャネル形成領域に、N型不純物であるヒ素（As）イオンを、注入エネルギーが140keVで、注入ドーズ量が $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してN型チャネル注入層103Aを形成する。その後、半導体基板100のN型ウ

エル形成領域に、N型不純物であるリン（P）イオンを、注入エネルギーが260 keVで、注入ドーズ量が $4 \times 10^{12} / \text{cm}^2$ の第1の注入条件、及び、注入エネルギーが540 keVで、注入ドーズ量が $1 \times 10^{13} / \text{cm}^2$ の第2の注入条件で2回イオン注入してN型ウェル注入層（図示せず）を形成する。

【0057】

次に、図4（b）に示す工程で、N型チャネル注入層103A及びN型ウェル注入層を形成した直後に、半導体基板100を、約100℃/秒以上、好ましくは約200℃/秒の昇温レートで且つ850℃～1050℃程度にまで昇温し、ピーク温度を最大で10秒間程度保持するか又はピーク温度を保持しない第1の急速熱処理（RTA）を行なう。この第1の急速熱処理により、半導体基板100の表面部に、N型チャネル注入層103Aのヒ素が拡散してなるN型チャネル拡散層103が形成され、N型チャネル拡散層103の下部に接してN型ウェル注入層のリンが拡散してなるN型ウェル拡散層104が形成される。なお、ピーク温度を保持しない急速熱処理とは、熱処理温度がピーク温度に達すると同時に降温することをいう。

【0058】

次に、図4（c）に示す工程で、半導体基板100上に、厚さ1.5 nm程度のシリコン酸化膜、及び、厚さ150 nm程度の多結晶シリコン膜を順次形成する。その後、フォトリソグラフィ及びドライエッチングによってシリコン酸化膜及び多結晶シリコン膜をパターニングして、ゲート絶縁膜101及びゲート電極102を形成する。ここで、ゲート絶縁膜としてシリコン酸化膜を用いたが、シリコン酸窒化膜（SiON膜）、あるいは、ハフニウム酸化膜（HfO_x）などの高誘電体絶縁膜（high-k膜）を用いてもよい。また、ゲート電極として多結晶シリコン膜を用いたが、ポリメタル膜を用いてもよい。

【0059】

次に、図4（d）に示す工程で、ゲート電極102をマスクとして半導体基板100に、N型不純物であるヒ素（As）イオンを、注入エネルギーが130 keVで、注入ドーズ量が $4 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、N型ポケット不純物注入層107Aを形成する。その後、ゲート電極102をマスク

として半導体基板 100 に、P 型不純物であるボロン (B) イオンを、注入エネルギーが 1 keV で、注入ドーズ量が $3 \times 10^{14} / \text{cm}^2$ の注入条件でイオン注入して、N 型ポケット不純物注入層 107A よりも注入深さの浅い P 型エクステンション注入層 106A を形成する。このとき、P 型エクステンション注入層 106A 及び N 型ポケット不純物注入層 107A は、N 型チャネル拡散層 103 よりも注入層の深さを浅く形成する。

【0060】

次に、図 4 (e) に示す工程で、ゲート電極 102 をマスクとして半導体基板 100 に、注入エネルギーが 2 keV で、注入ドーズ量が $5 \times 10^{13} / \text{cm}^2$ の注入条件でフッ素をイオン注入して、フッ素注入層 109 を形成する。このとき、フッ素注入のドーズ量は、 $1 \times 10^{13} / \text{cm}^2$ 以上で半導体基板がアモルファス化しないドーズ量以下とし、好ましくは $3 \times 10^{14} / \text{cm}^2$ 未満とする。さらに、フッ素注入の注入飛程は、エクステンション注入層を形成するボロン注入の注入飛程の 5 倍未満とし、好ましくはボロン注入の注入飛程と同程度になる注入エネルギーで注入する。

【0061】

次に、図 5 (a) に示す工程で、イオン注入によって、P 型エクステンション注入層 106A、N 型ポケット不純物注入層 107A 及びフッ素注入層 109 を形成した直後に、半導体基板 100 を、 $400^\circ\text{C} \sim 600^\circ\text{C}$ 程度まで昇温し、最大で 10 時間程度の極低温熱処理を加える。この極低温熱処理により、P 型エクステンション注入アニール層 106B 及び N 型ポケット注入アニール層 107B の各不純物をほとんど拡散させずに、イオン注入による結晶ダメージのみを回復する事が出来る。

【0062】

次に、図 5 (b) に示す工程で、半導体基板 100 に対して、約 $100^\circ\text{C} / \text{秒}$ 以上、好ましくは約 $200^\circ\text{C} / \text{秒}$ の昇温レートで且つ $850^\circ\text{C} \sim 1050^\circ\text{C}$ 程度にまで昇温し、ピーク温度を最大で 10 秒間程度保持するか又はピーク温度を保持しないで約 $80^\circ\text{C} / \text{秒}$ の降温レートで降温する第 2 の急速熱処理を行なう。この第 2 の急速熱処理により、半導体基板 100 におけるゲート電極 102 の側方

の領域に、P型エクステンション注入アニール層106Bに含まれるボロンイオンが拡散してなる浅い接合面を持つP型高濃度エクステンション拡散層106、及び、P型高濃度エクステンション拡散層106の下部に接してN型ポケット注入アニール層107Bに含まれるヒ素イオンが拡散してなるN型ポケット拡散層107が形成される。

【0063】

次に、図5(c)に示す工程で、例えばCVD法により、半導体基板100上にゲート電極102を含む全面にわたって厚さ約50nmのシリコン窒化膜を堆積する。続いて、堆積したシリコン窒化膜に対して異方性エッチングを行なうことにより、ゲート電極102の側面上にシリコン窒化膜からなるサイドウォール108を形成する。ここで、サイドウォール108には、シリコン窒化膜に代えてシリコン酸化膜、シリコン酸窒化膜を用いてもよく、さらには、シリコン窒化膜、シリコン酸化膜、シリコン酸窒化膜のうちの少なくとも2つの膜からなる積層膜を用いてもよい。

【0064】

次に、図5(d)に示す工程で、ゲート電極102及びサイドウォール108をマスクとして、半導体基板100にP型不純物であるボロンを、注入エネルギーが10keVで、注入ドーズ量が $3 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して高濃度ソース・ドレイン注入層を形成する。その後、半導体基板100に対して、約200℃/秒～250℃/秒の昇温レートで且つ850℃～1050℃程度にまで昇温し、ピーク温度を最大で10秒間程度保持するか又はピーク温度を保持しない第3の急速熱処理を行なう。この第3の急速熱処理により、半導体基板100におけるサイドウォール108の側方の領域に、P型高濃度エクステンション拡散層106と接続され、且つP型高濃度エクステンション拡散層106よりも深い接合面を持つ、高濃度ソース・ドレイン注入層のボロンイオンが拡散してなるP型高濃度ソース・ドレイン拡散層105を形成する。このP型高濃度ソース・ドレイン拡散層105は、N型ポケット拡散層107よりも接合深さを深く形成する。これにより、サイドウォール108下のみに、P型高濃度エクステンション拡散層106及びN型ポケット拡散層107が形成される。

【 0 0 6 5 】

図 6 は、本発明の第 2 の実施形態に係る半導体装置の製造工程における基板表面から深さ方向の不純物プロファイルを示す図である。図 6 (a) は、イオン注入直後の不純物プロファイルを示す図であり、実線は図 4 (d) の P 型エクステンション注入層 1 0 6 A 形成直後のボロン分布、点線は図 4 (e) のフッ素注入層 1 0 9 形成直後のフッ素分布を示す。図 6 (b) は、極低温熱処理直後の不純物プロファイルを示す図であり、実線は図 5 (a) の P 型エクステンション注入アニール層 1 0 6 B のボロン分布、点線は図 5 (a) のフッ素注入アニール層 1 0 9 B のフッ素分布を示す。図 6 (c) は、活性化熱処理直後の不純物プロファイルを示す図であり、実線は図 5 (b) の P 型高濃度エクステンション拡散層 1 0 6 のボロン分布を示す。

【 0 0 6 6 】

本実施形態では、図 5 (a) に示す工程において、イオン注入直後に、4 0 0 ℃～6 0 0 ℃程度の極低温熱処理を行なうことにより、イオン注入により発生した結晶ダメージ層が回復される。この 4 0 0 ℃程度の極低温領域は、基板がアモルファス化している場合には、Solid Phase Epitaxial Regrowth として知られる固相再成長現象がおこる温度領域である。図 6 (a) 及び図 6 (b) に示すように、イオン注入直後の不純物プロファイルに対して極低温熱処理後の不純物プロファイルは、一般的なドーパントの場合、点欠陥の拡散係数に比べて十分に小さく、ほとんど拡散することがない。ところが、フッ素注入層の場合は、4 0 0 ℃程度の極低温領域でも素早くフッ素が拡散することが知られており、この極低温領域まで温度を下げると、点欠陥とフッ素のみを拡散させることができる。このときフッ素は、点欠陥と相互作用して拡散するので、極低温熱処理で、イオン注入により生じた過剰点欠陥のほとんどを消滅することができる。しかも、この熱処理過程においては、P 型エクステンション注入アニール層 1 0 6 B の接合位置は、イオン注入直後とほとんど変化しない。

【 0 0 6 7 】

ただし、極低温熱処理を行なっただけでは、不純物の活性化が不十分なので、極低温熱処理を行なった直後に、図 5 (b) に示す工程で急速熱処理（例えば、

s p i k e R T A、フラッシュランプアニールなど)を行なうことにより、不純物の活性化を図ることが出来る。極低温熱処理によって過剰点欠陥を十分に消滅させた後に、急速熱処理を行なうので、図6(c)に示すようにT E Dに起因した不純物の異常拡散は抑制され、不純物プロファイが急峻で浅い接合を保ったまま、不純物の活性化を向上することができる。

【0068】

この第2の実施形態による半導体装置の製造方法では、P型エクステンション注入層106Aのイオン注入を低エネルギーで行なった後、フッ素のイオン注入を比較的低ドーズ量で行ってフッ素注入層109を形成してから、極低温熱処理でイオン注入ダメージを回復させる。その後、高温の第2の急速熱処理によってP型エクステンション注入アニール層106Bの不純物であるボロンの活性化を行なうため、ボロンのT E Dが抑制され、接合深さが深く広がることがないので、P型高濃度エクステンション拡散層106の接合深さを浅く形成することができる。同時に、半導体基板の表面方向への拡散も抑制されるので、ボロンのドーズロスが抑制される。フッ素のドーズ量を、例えば $1 \times 10^{14} / \text{cm}^2$ 以下に下げることにより、ボロンのドーズロスを増大させないという効果も実現している。

【0069】

以上のことから、上記条件を満たすフッ素注入を行なうことにより、浅い接合を有し、且つ、ドーズロスによる抵抗値増大を抑制した低抵抗なエクステンション拡散層106を確実に形成することができる。

【0070】

また、フッ素含有の状態、極低温熱処理後、高温の活性化熱処理を加えるので、注入ダメージ欠陥層が結晶層に回復され、残留欠陥が減少する。その結果、注入ダメージによる残留欠陥に起因するリーク電流をも防止することもできる。

【0071】

(第3の実施形態)

本発明の第3の実施形態について図面を参照しながら説明する。

【0072】

図7(a)～図7(e)及び図8(a)～図8(d)は、本発明の第3の実施形態に係る半導体装置の製造工程を示す断面図である。

【0073】

まず、図7(a)に示す工程で、P型シリコンからなる半導体基板100のチャネル形成領域に、N型不純物であるヒ素(As)イオンを、注入エネルギーが140keVで、注入ドーズ量が $5 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してN型チャネル注入層103Aを形成する。その後、半導体基板100のN型ウェル形成領域に、N型不純物であるリン(P)イオンを、注入エネルギーが260keVで、注入ドーズ量が $4 \times 10^{12}/\text{cm}^2$ の第1の注入条件、及び、注入エネルギーが540keVで、注入ドーズ量が $1 \times 10^{13}/\text{cm}^2$ の第2の注入条件で2回イオン注入してN型ウェル注入層(図示せず)を形成する。

【0074】

次に、図7(b)に示す工程で、N型チャネル注入層103A及びN型ウェル注入層を形成した直後に、半導体基板100を、約100℃/秒以上、好ましくは約200℃/秒の昇温レートで且つ850℃～1050℃程度にまで昇温し、ピーク温度を最大で10秒間程度保持するか又はピーク温度を保持しない第1の急速熱処理(RTA)を行なう。この第1の急速熱処理により、半導体基板100の表面部に、N型チャネル拡散層103が形成され、N型チャネル拡散層103の下部に接してN型ウェル拡散層104が形成される。なお、ピーク温度を保持しない急速熱処理とは、熱処理温度がピーク温度に達すると同時に降温することをいう。

【0075】

次に、図7(c)に示す工程で、半導体基板100上に、厚さ1.5nm程度のシリコン酸化膜、及び、厚さ150nm程度の多結晶シリコン膜を順次形成する。その後、フォトリソグラフィ及びドライエッチングによってシリコン酸化膜及び多結晶シリコン膜をパターニングして、ゲート絶縁膜101及びゲート電極102を形成する。ここで、ゲート絶縁膜としてシリコン酸化膜を用いたが、シリコン酸窒化膜(SiON膜)、あるいは、ハフニウム酸化膜(HfO_x)などの高誘電体絶縁膜(high-k膜)を用いてもよい。また、ゲート電極と

して多結晶シリコン膜を用いたが、ポリメタル膜を用いてもよい。

【0076】

次に、図7（d）に示す工程で、ゲート電極102をマスクとして半導体基板100に、P型不純物であるボロン（B）イオンを、注入エネルギーが0.5 keVで、注入ドーズ量が $5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、P型注入層106aを形成する。その後、ゲート電極102をマスクとして半導体基板100に、注入エネルギーが2 keVで、注入ドーズ量が $1 \times 10^{13} / \text{cm}^2$ の注入条件でフッ素をイオン注入して、フッ素注入層109を形成する。

【0077】

次に、図7（e）に示す工程で、半導体基板100に対して、約100℃/秒以上、好ましくは約200℃/秒の昇温レートで且つ850℃～1050℃程度にまで昇温し、ピーク温度を最大で10秒間程度保持するか又はピーク温度を保持しないで約80℃/秒の降温レートで降温する第2の急速熱処理を行なう。この第2の急速熱処理により、フッ素は基板表面に拡散し、半導体基板100におけるゲート電極102の側方の領域に、浅い接合面を持つP型拡散層106bが形成される。

【0078】

次に、図7（d）及び図7（e）に示す工程、すなわち、ボロン及びフッ素のイオン注入と第2の急速熱処理を1つの処理工程とみなし、この処理工程を6回繰り返す。この結果、図8（a）に示すように、所定の不純物濃度を有するP型エクステンション注入層106A（P型注入層106a×6）を得ることができる。なお、この処理工程は、必ずしも6回繰り返す必要はないが、1回のイオン注入では、ボロンイオン及びフッ素イオンの注入により基板にアモルファス層が形成されない程度のドーズ量で行ない、所定の不純物濃度を得るために複数回のイオン注入を行なう必要がある。また、複数回に分けて行なうイオン注入直後には、毎回高温短時間の急速熱処理を施す必要がある。便宜上、ここでは、複数回、例えば6回の熱処理をまとめて第2の熱処理と呼ぶ。

【0079】

次に、図8（a）に示す工程では、繰り返し処理工程における最後のフッ素注

入によりフッ素注入層 109 を形成した後に、ゲート電極 102 をマスクとして半導体基板 100 に、N 型不純物であるヒ素 (As) イオンを、注入エネルギーが 130 keV で、注入ドーズ量が $4 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、N 型ポケット不純物注入層 107A を形成する。このとき、6 回の繰り返し処理工程によって、所定の不純物濃度を有する P 型エクステンション注入層 106A が形成されている。

【0080】

次に、図 8 (b) に示す工程では、繰り返し処理工程における最後の第 2 の急速熱処理を行なうことにより、半導体基板 100 におけるゲート電極 102 の側方の領域に、P 型エクステンション注入層 106A (P 型注入層 $106a \times 6$ 回) に含まれるボロンイオンが拡散してなる浅い接合面を持つ P 型高濃度エクステンション拡散層 106、及び、P 型高濃度エクステンション拡散層 106 の下部に接して N 型ポケット不純物注入層 107A に含まれるヒ素イオンが拡散してなる N 型ポケット拡散層 107 が形成される。

【0081】

次に、図 8 (c) に示す工程で、例えば CVD 法により、半導体基板 100 上にゲート電極 102 を含む全面にわたって厚さ約 50 nm のシリコン窒化膜を堆積する。続いて、堆積したシリコン窒化膜に対して異方性エッチングを行なうことにより、ゲート電極 102 の側面上にシリコン窒化膜からなるサイドウォール 108 を形成する。ここで、サイドウォール 108 には、シリコン窒化膜に代えてシリコン酸化膜、シリコン酸窒化膜を用いてもよく、さらには、シリコン窒化膜、シリコン酸化膜、シリコン酸窒化膜のうちの少なくとも 2 つの膜からなる積層膜を用いてもよい。

【0082】

次に、図 8 (d) に示す工程で、ゲート電極 102 及びサイドウォール 108 をマスクとして、半導体基板 100 に P 型不純物であるボロンを、注入エネルギーが 10 keV で、注入ドーズ量が $3 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して高濃度ソース・ドレイン注入層を形成する。その後、半導体基板 100 に対して、約 $200^\circ\text{C} / \text{秒} \sim 250^\circ\text{C} / \text{秒}$ の昇温レートで且つ $850^\circ\text{C} \sim 1050^\circ\text{C}$

程度にまで昇温し、ピーク温度を最大で10秒間程度保持するか又はピーク温度を保持しない第3の急速熱処理を行なう。この第3の急速熱処理により、半導体基板100におけるサイドウォール108の側方の領域に、P型高濃度エクステンション拡散層106と接続され且つP型高濃度エクステンション拡散層106よりも深い接合面を持つ、高濃度ソース・ドレイン注入層のボロンイオンが拡散してなるP型高濃度ソース・ドレイン拡散層105を形成する。このP型高濃度ソース・ドレイン拡散層105は、N型ポケット拡散層107よりも接合深さを深く形成する。これにより、サイドウォール108下のみに、P型高濃度エクステンション拡散層106及びN型ポケット拡散層107が形成される。

【0083】

この第3の実施形態による半導体装置の製造方法では、所定の不純物濃度を有するP型高濃度エクステンション拡散層106を得るために、ボロン注入、フッ素注入及び活性化熱処理を1回の処理工程として、この処理工程を複数回繰り返すことによって形成している。このとき、1回のイオン注入では、基板がアモルファス化しない程度のドーズ量でボロン注入及びフッ素注入を行なう。この結果、浅い接合を有し、尚且つ、ドーズロスによる抵抗値増大を抑制した低抵抗なエクステンション拡散層106を確実に形成することができる。

【0084】

第1の実施形態で述べたように、ボロンのTEDを抑制するのには最適なフッ素の注入条件があり、フッ素濃度が高く、半導体基板がアモルファス化した場合には、ボロンの接合深さが広がり、ボロンのドーズロスも増大するという問題がある。この観点から、より高濃度のボロンの拡散層を形成したい場合、ボロンも基板がアモルファス化するドーズ量以上で注入すると、フッ素を注入しても浅い拡散層を形成することが難しいと考えられる。

【0085】

そこで、この第3の実施形態では、ボロン及びフッ素の注入を複数回に分割して行なうことにより、ボロン及びフッ素のイオン注入によって基板がアモルファス化するのを防ぐことができる。そのため、活性化のための第2の急速熱処理時には、半導体基板が結晶状態を保ったまま、ボロンとフッ素が拡散するので、フ

ッ素のボロン拡散抑制の効果を最大限に発揮しながら、高濃度エクステンション[●]拡散層を浅く形成することが可能になる。また、より浅い接合を得ようとして、ボロン注入の注入エネルギーを低くした場合、アモルファス化するドーズ量も低くなるが、複数回に分割して1回のイオン注入を低ドーズ量で注入し、その都度急速熱処理により結晶性を回復する事によって問題を回避することができる。この方法は、高濃度ソース・ドレイン注入層を形成する際に、ボロン注入の分割回数を増やすことにより、高濃度ソース・ドレイン拡散層105の形成にも利用することが出来る。

【0086】

尚、ボロンとフッ素を複数回に分割して注入する際、イオン注入の角度、例えばツイスト角を注入毎に変更して回転注入を行なってもよい。

【0087】

上記第1～第3の実施形態では、N型チャネル拡散層103の不純物イオンにヒ素イオンを用いたが、これに代えて、ヒ素イオンよりも質量数の大きいアンチモン(Sb)などのN型の元素イオン、又はヒ素イオンと該ヒ素イオンよりも質量数の大きいN型となる元素イオンとの双方を用いてもよい。また、半導体装置としてPチャネルMIS型トランジスタを用いたが、これに代えて、NチャネルMIS型トランジスタであってもよい。NチャネルMIS型トランジスタの場合には、エクステンション拡散層を構成するN型の不純物イオンとして、例えば、ヒ素(As)イオン、あるいは、アンチモン(Sb)イオン、ビスマス(Bi)イオン等のようにヒ素イオンよりも質量数の大きい5B族元素を用いることができる。

【0088】

【発明の効果】

本発明の半導体装置及びその製造方法によれば、エクステンション注入層を形成した後、フッ素注入層を形成することにより、活性化のための急速熱処理におけるエクステンション注入層の不純物の過渡増速拡散を抑制することができるので、不純物プロファイルが急峻で浅い接合を有し、且つ、ドーズロスによる抵抗値の増大を抑制した低抵抗な高濃度エクステンション拡散層を有するMIS型ト

ランジスタを備えた半導体装置を形成することができる。

【図面の簡単な説明】

【図 1】

(a) ～ (d) は、本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図

【図 2】

(a) ～ (d) は、本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図

【図 3】

(a) は、ボロンの接合深さのアニール時間に対する変化を示す図

(b) は、半導体基板中のボロン密度のアニール時間に対する変化を示す図

【図 4】

(a) ～ (e) は、本発明の第 2 の実施形態に係る半導体装置の製造工程を示す断面図

【図 5】

(a) ～ (d) は、本発明の第 2 の実施形態に係る半導体装置の製造工程を示す断面図

【図 6】

本発明の第 2 の実施形態に係る半導体装置の製造工程における基板表面から深さ方向の不純物プロファイルを示す図であり、

(a) は、イオン注入直後の不純物プロファイルを示す図

(b) は、極低温熱処理直後の不純物プロファイルを示す図

(c) は、活性化熱処理直後の不純物プロファイルを示す図

【図 7】

(a) ～ (e) は、本発明の第 3 の実施形態に係る半導体装置の製造工程を示す断面図

【図 8】

(a) ～ (d) は、本発明の第 3 の実施形態に係る半導体装置の製造工程を示す断面図

【図 9】

(a) ~ (e) は、従来の半導体装置の製造工程を示す断面図

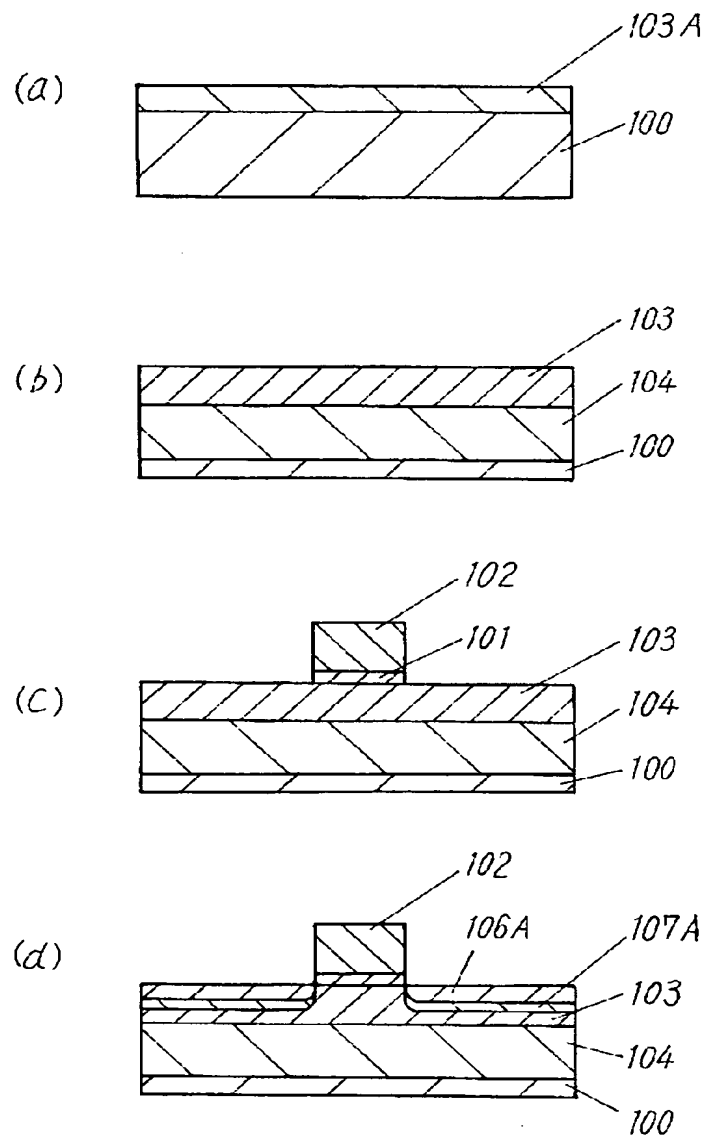
【符号の説明】

- 100 P型半導体基板
- 101 ゲート絶縁膜
- 102 ゲート電極
- 103 N型チャネル拡散層
- 103A N型チャネル注入層
- 104 N型ウェル拡散層
- 105 P型高濃度ソース・ドレイン拡散層
- 106 P型高濃度エクステンション拡散層
- 106A P型エクステンション注入層
- 106B P型エクステンション注入アニール層
- 106a P型注入層
- 106b P型拡散層
- 107 N型ポケット拡散層
- 107A N型ポケット不純物注入層
- 107B N型ポケット注入アニール層
- 108 サイドウォール
- 109 フッ素注入層
- 109B フッ素注入アニール層

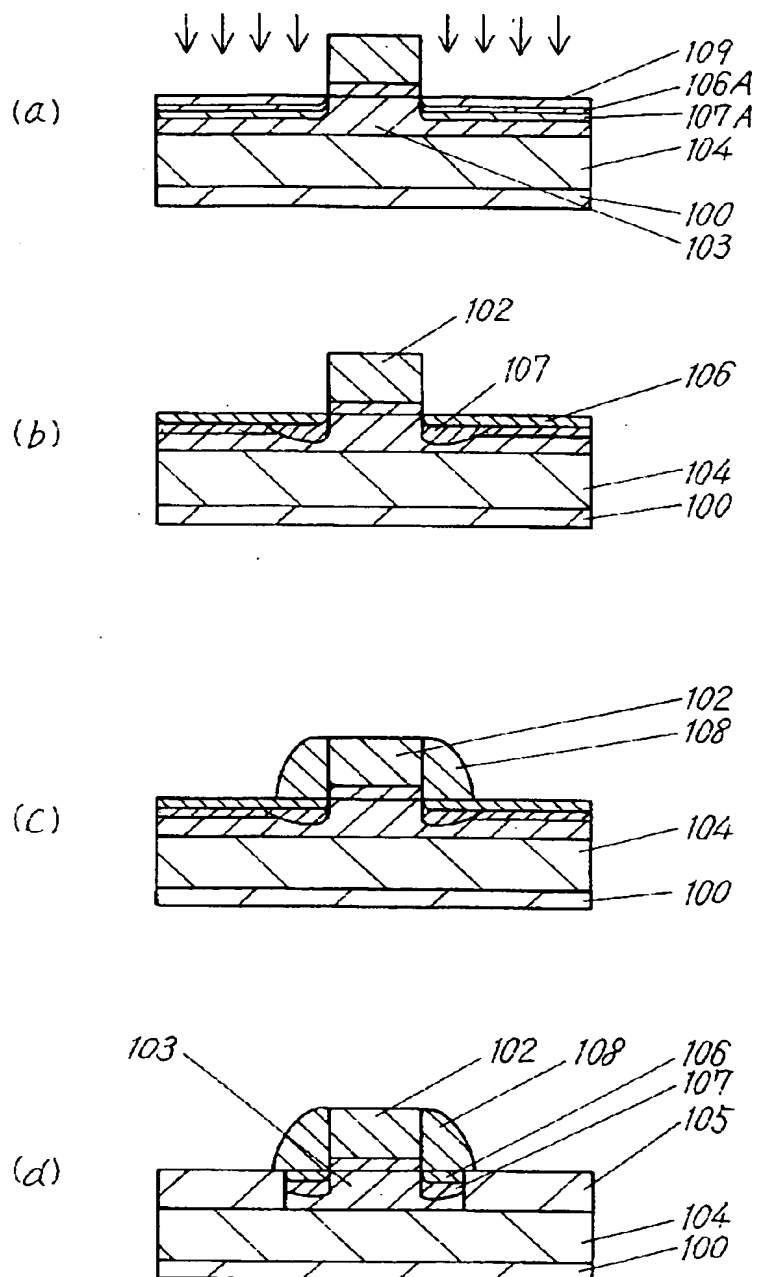
【書類名】

図面

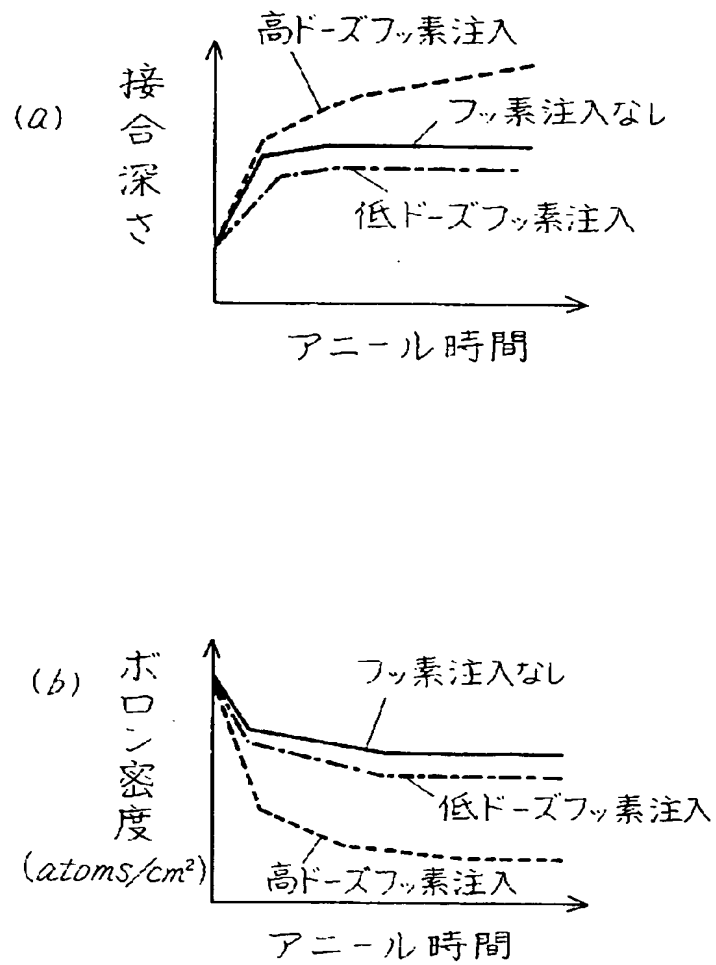
【図 1】



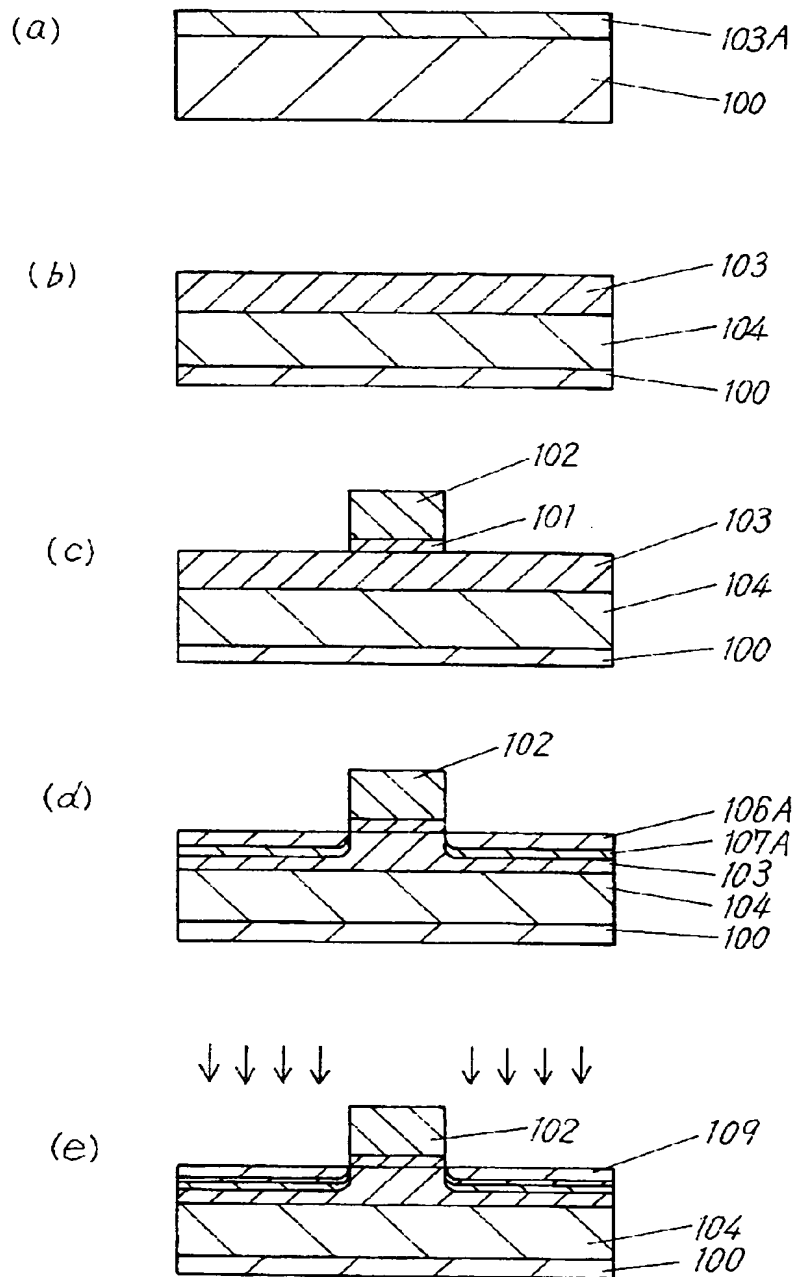
【図 2】



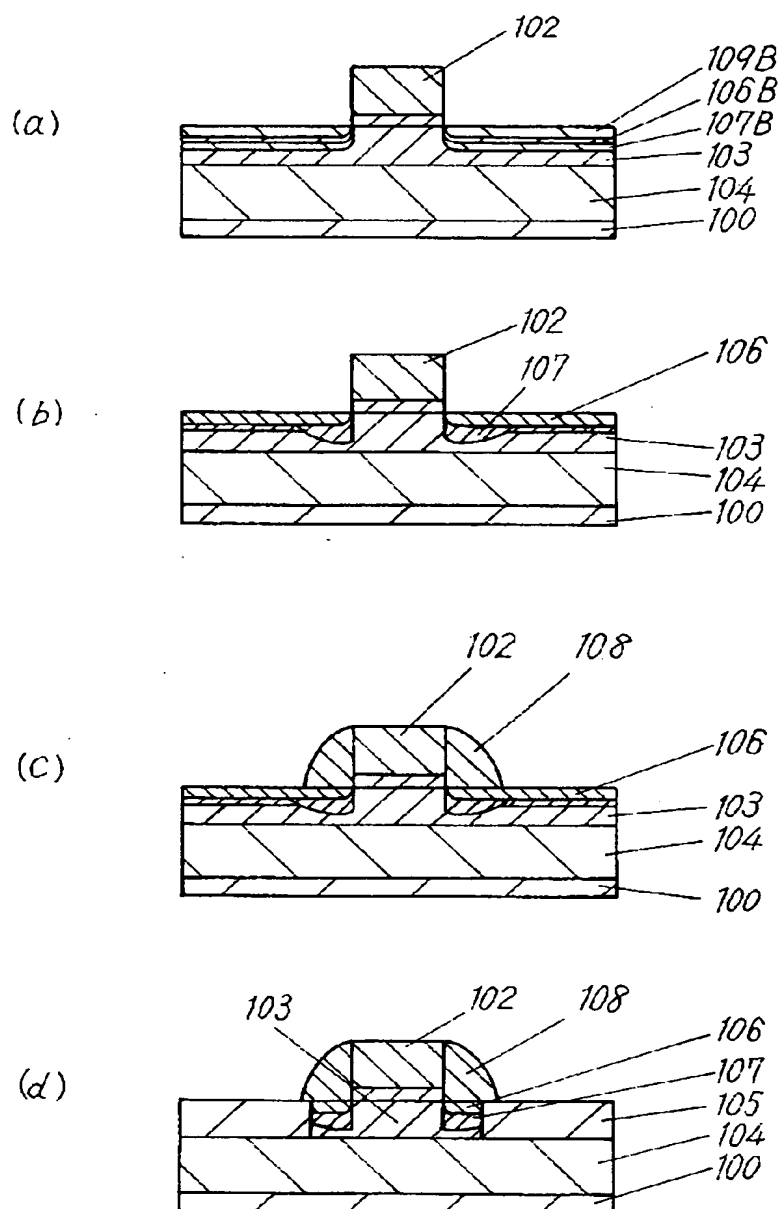
【図 3】



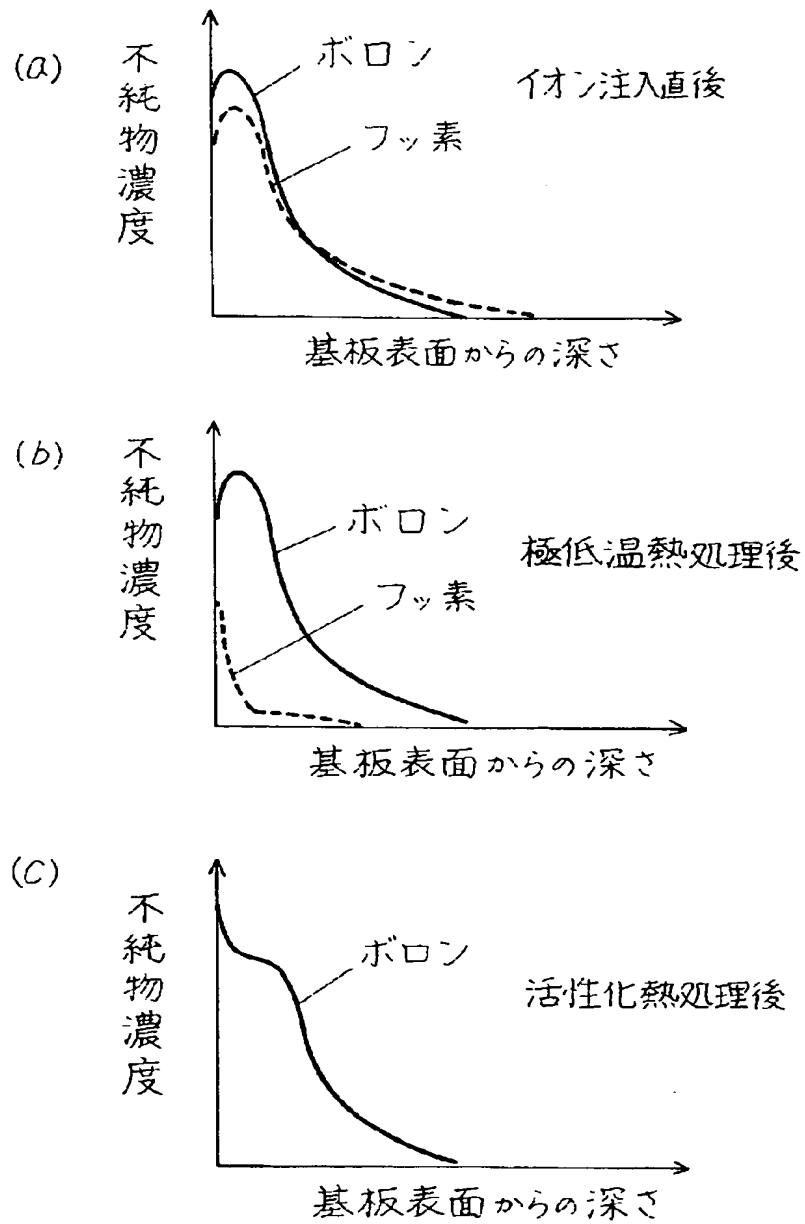
【図 4】



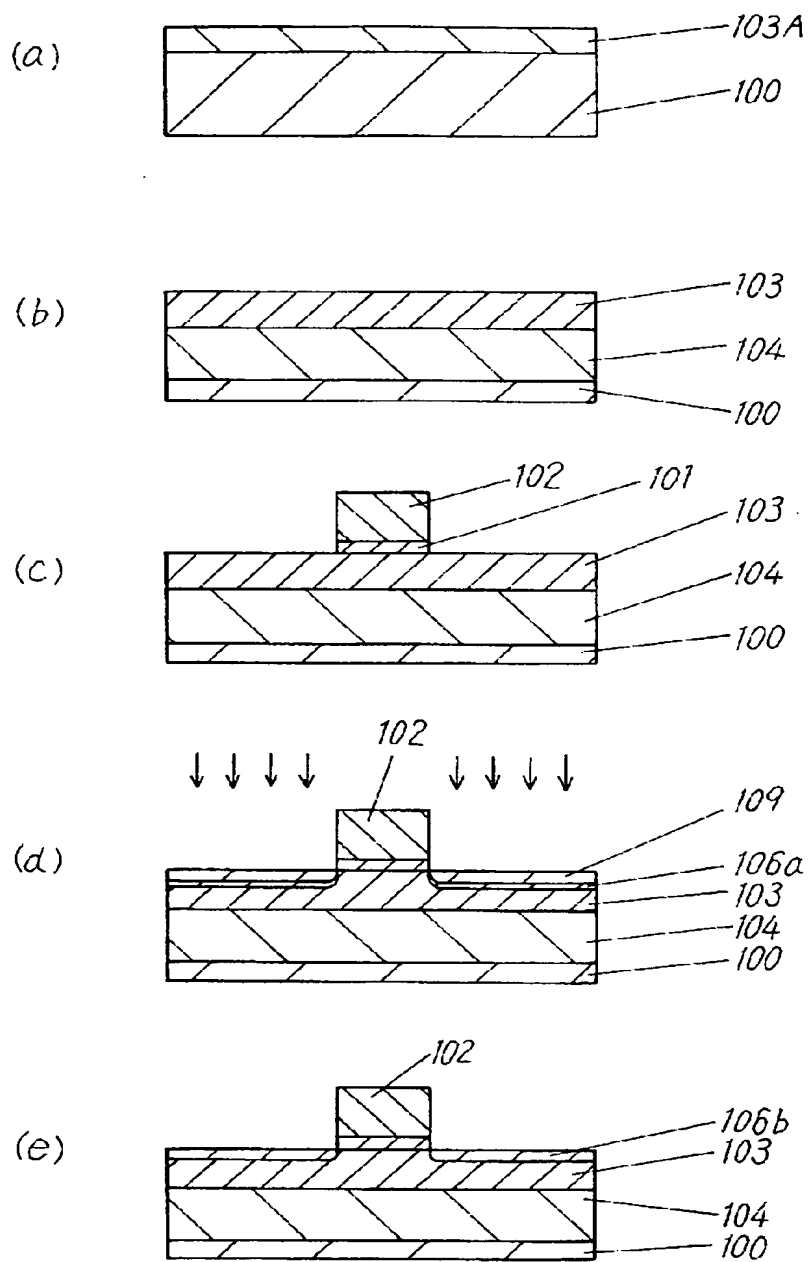
【図 5】



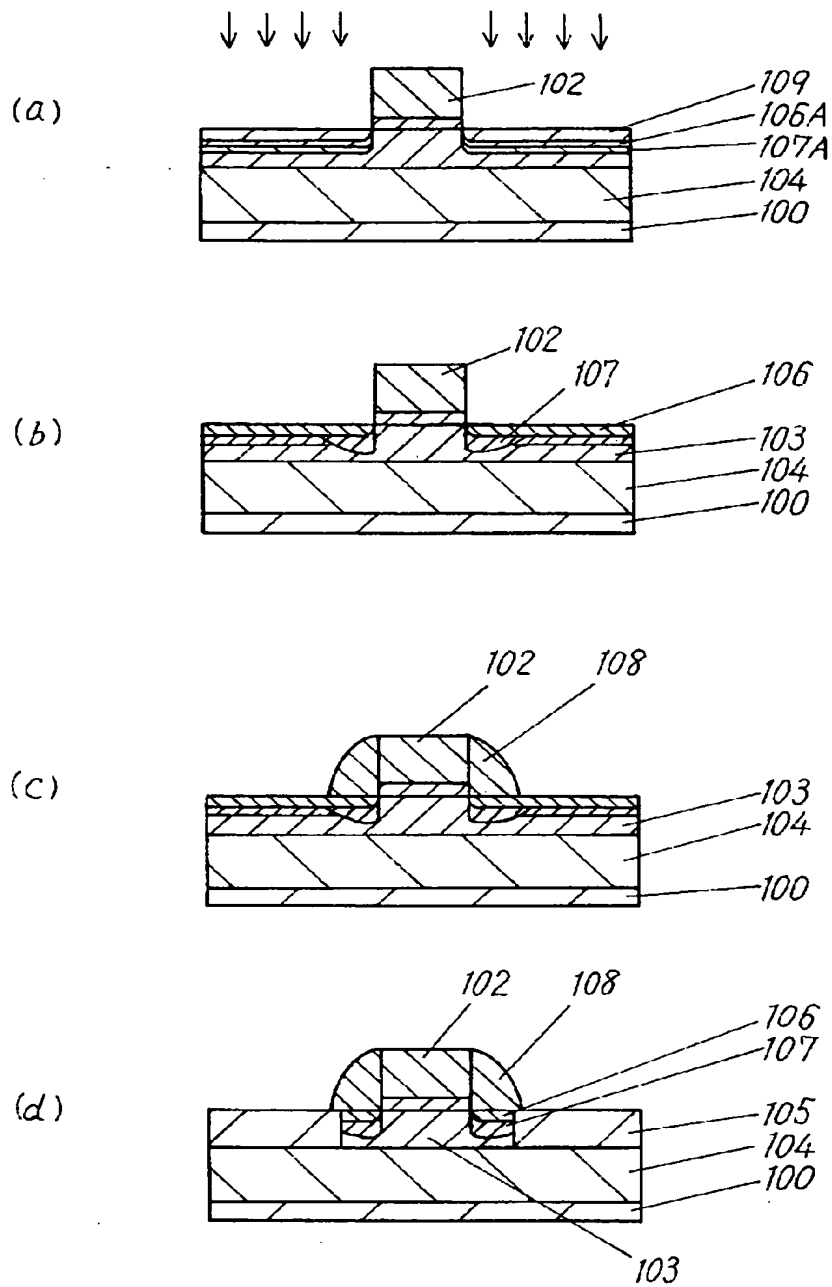
【図6】



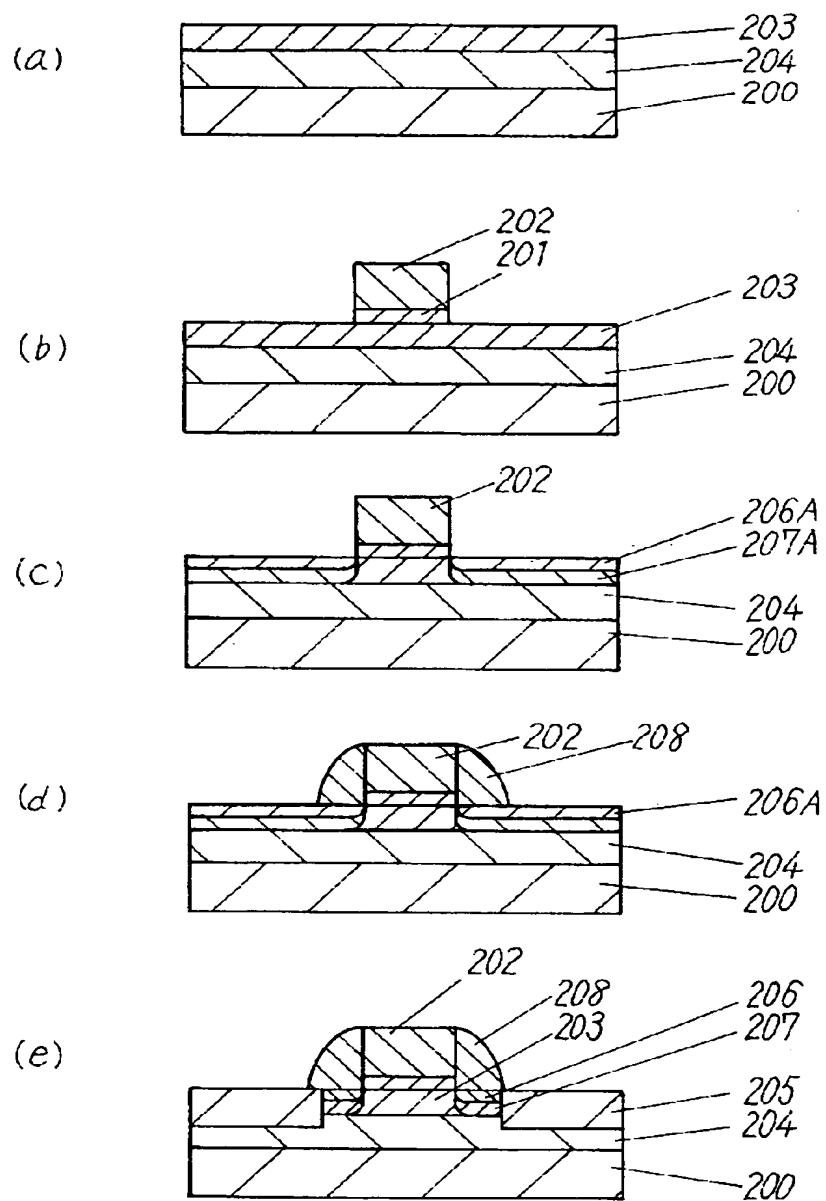
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 高濃度エクステンション拡散層の浅接合化、及び、低抵抗化が図れる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板 1 0 0 に、N型チャネル拡散層 1 0 3 及びN型ウェル拡散層 1 0 4 を形成する。その後、半導体基板 1 0 0 上にゲート絶縁膜 1 0 1 及びゲート電極 1 0 2 を形成する。その後、ゲート電極 1 0 2 をマスクとして、ボロン及びヒ素を注入してP型エクステンション注入層 1 0 6 A 及びN型ポケット不純物注入層 1 0 7 A を形成する。その後、ゲート電極 1 0 2 をマスクとして、フッ素注入してフッ素注入層 1 0 9 を形成する。その後、半導体基板 1 0 0 に対して急速熱処理を行ない、P型高濃度エクステンション拡散層 1 0 6 及びN型ポケット拡散層 1 0 7 を形成する。その後、サイドウォール 1 0 8 及びP型高濃度ソース・ドレイン拡散層 1 0 5 を形成する。

【選択図】 図 1

特願 2 0 0 3 - 0 5 6 8 6 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社